República Bolivariana de Venezuela

Universidad de Carabobo

Facultad de Ingeniería

Escuela de Ingeniería Eléctrica y de Telecomunicaciones

Departamento de Sistemas y Automática

Cátedra de Lógica Digital

**Práctica # 4 – Sesión #02**

**Objetivo: Diseñar e implementar circuitos combinacionales con Multiplexores y Demultiplexores utilizando VHDL y la tarjeta de desarrollo BASYS2**

Sección #05 de Laboratorio

**Integrantes:**

Carlos Hernández

C.I.: 25.829.471

Gianfranco Gasbarri

C.I.: 26.654.860

Fecha de entrega: 12/03/19

**Pre-Laboratorio**

1. **Desarrollo de componente MUX21:** Ver **Anexo 1**
2. **Desarrollo de componente MUX41 mediante árbol de multiplexores 2:1:** Ver **Anexo 2**

**ANEXOS**

**Anexo 1**

**Anexo 1.1**

**Diagrama de caja negra**

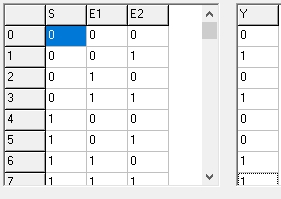
**S**

**MUX 2:1**

**Y**

**Anexo 1.2**

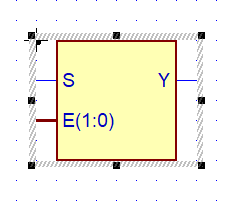
**Tabla de la verdad**





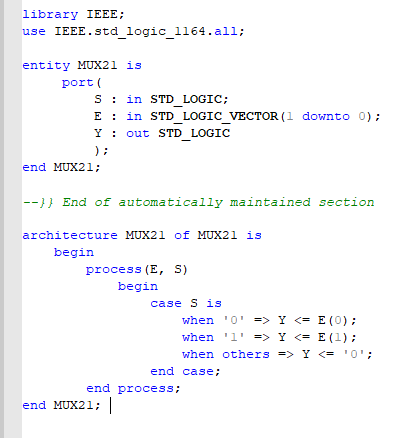
**Anexo 1.3**

**Símbolo**



**Anexo 1.4**

**Código VHDL**



**Anexo 1.5**

**Simulación**

**Anexo 2**

**Anexo 2.1**

**Diagrama de caja negra**

**S**

**MUX 4:1**

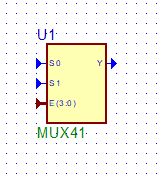
**Y**

**Anexo 2.2**

**Tabla de la verdad**

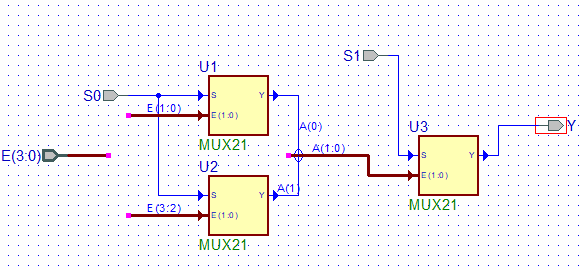
**Anexo 2.3**

**Símbolo**



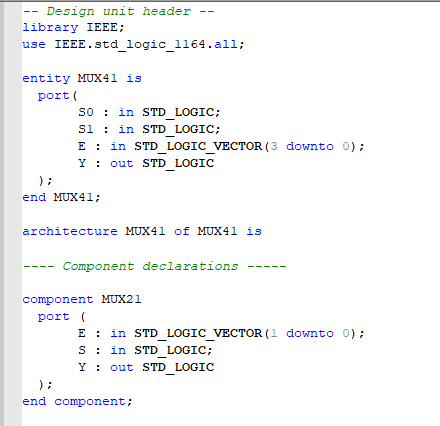
**Anexo 2.4**

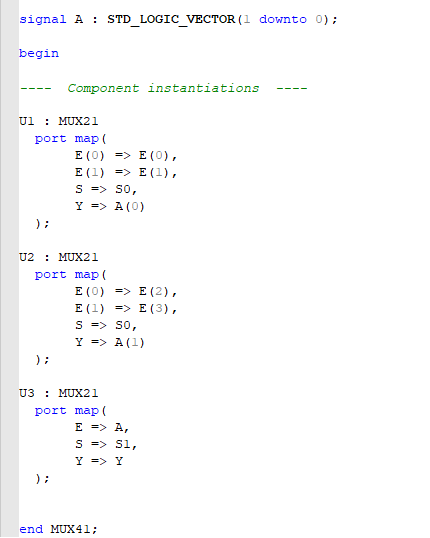
**Diseño**



**Anexo 2.5**

**Código VHDL**





**Anexo 2.6**

**Simulación**

**Anexo 3**

**Anexo 3.1**

**Diagrama de caja negra**

**DEMUX 1:4**

**Anexo 3.2**

**Tabla de la verdad**

